



Ap 2734
30
Aug
2000

P/2291-85

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:

Masaki ICHIHARA

Serial No:09/549,279

Filed:April 14, 2000

For:FREQUENCY SHIFTING CIRCUIT AND METHOD

Date: June 30, 2000

Group Art Unit:

Assistant Commissioner for Patents
Washington, D.C. 20231

CLAIM TO PRIORITY

Sir:

In accordance with 35 U.S.C. §119, Applicant confirms the request for priority under the International Convention and submits herewith the following document in support of the claim:

Certified Japanese Registration No.

11-108333 Filed April 15, 1999

RECEIVED

JUL -7 2000

TC 2700 MAIL ROOM

I hereby certify that this correspondence is being deposited with the U.S. Postal Service as first class mail in an envelope addressed to Commissioner of Patents and Trademarks, Washington, D.C. 20231 on June 30, 2000:

Steven I. Weisburd

Name of applicant, assignee or
Registered Representative

Signature

June 30, 2000

Date of Signature

Respectfully submitted,

Steven I. Weisburd

Registration No.: 27,409
OSTROLENK, FABER, GERB & SOFFEN, LLP
1180 Avenue of the Americas
New York, New York 10036-8403
Telephone: (212) 382-0700

SIW:drl

00459351.1



F05-461

VS

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application:

1999年 4月15日

出願番号
Application Number:

平成11年特許願第108333号

出願人
Applicant(s):

日本電気株式会社

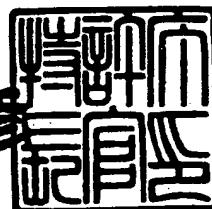
Best Available Copy

CERTIFIED COPY OF
PRIORITY DOCUMENT

2000年 2月18日

特許庁長官
Commissioner,
Patent Office

近藤 隆彦



出願番号 出許特2000-3008763

【書類名】 特許願

【整理番号】 68501687

【提出日】 平成11年 4月15日

【あて先】 特許庁長官殿

【国際特許分類】 H04J 11/00

【発明者】

【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

【氏名】 市原 正貴

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100065385

【弁理士】

【氏名又は名称】 山下 積平

【手数料の表示】

【予納台帳番号】 010700

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9001713

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 周波数偏移復調回路

【特許請求の範囲】

【請求項1】 搬送波の同相(I)成分と直交(Q)成分とを入力するアナログ/デジタル(A/D)変換器と、前記I成分及びQ成分で定まるIQ平面上の信号ベクトルを前記IQ平面の原点を中心に回転させる回転回路と、1サンプル当たりの周波数偏移に360度を乗じた値を単位角度として前記単位角度の整数倍の角度を位相として生成する位相生成回路と、前記位相生成回路の出力を制御信号に変換する変換回路とを有する周波数偏移復調回路であって、

前記回転回路は、前記変換回路の出力に基づいて前記搬送波の帯域を偏移させることを特徴とする周波数偏移復調回路。

【請求項2】 前記搬送波は、中心帯域、上側帯域及び下側帯域の3つの周波数帯域を持ち、

前記回転回路は、前記変換回路の出力に基づいて前記上側帯域を前記中心帯域に偏移させる負シフト回路と、前記変換回路の出力に基づいて前記下側帯域を前記中心帯域に偏移させる正シフト回路とから成ることを特徴とする請求項1記載の周波数偏移復調回路。

【請求項3】 前記上側帯域及び下側帯域の周波数偏移は、前記中心帯域に対して相等しいことを特徴とする請求項2記載の周波数偏移復調回路。

【請求項4】 前記単位角度 Δ は、 2^m の十進数表示(DEC)と、十進数表示の有理数RNとを用いて、 $\Delta = 360 \times RN / DEC$ とすることを特徴とする請求項1記載の周波数偏移復調回路。

【請求項5】 前記位相生成回路は、クロック回路と、前記クロック回路のクロック信号を入力するカウンタ回路と、前記カウンタ回路の出力を自らのキャリーエンド子に入力する加算回路と、前記加算器の加算出力を入力するレジスタを備え、

前記加算回路は、前記レジスタの出力と、前記有理数の整数部とを加算し、

前記カウンタ回路は、前記有理数の小数部を p/q として、前記 q 個の前記クロック信号毎に前記 p 個のパルスを出力し、

前記単位角 Δ の自然数倍の位相 Φ を前記レジスタから出力することを特徴とする請求項1記載の周波数偏移復調回路。

【請求項6】 前記クロック信号の周波数を、前記搬送波の情報信号のサンプルレートに等しくすることを特徴とする請求項5記載の周波数偏移復調回路。

【請求項7】 前記カウンタ回路は、前記クロック信号を自らのクロック(CKCLK)端子に入力する第1遅延フリップフロップ(D-FF)と、前記第1D-FFのQ端子出力を自らのD端子に入力する第2D-FFと、前記第1D-FFのQ端子出力と前記第2D-FFのQ端子出力を入力する排他的論理和(XOR)とを備え、

前記XOR回路の出力を前記第1D-FFのD端子に入力し、

前記第2D-FFのQB出力を前記キャリー端子に入力することを特徴とする請求項5記載の周波数偏移復調回路。

【請求項8】 前記変換回路は、(前記m-2)個のデータセレクタと、(前記m-2)個の加算器とを備え、

前記位相を第1データセレクタ及び第1加算器に入力し、

前記第1加算器の出力を前記第2セレクタ及び第2加算器に入力し、

j を2以上で(前記m-2)以下の自然数として、時前記第j加算器の出力を前記第(j+1)セレクタ及び第(j+1)加算器に入力し、

前記加算器の各々の入力に基づいて、前記m個の所定の制御信号を生成することを特徴とする請求項4記載の周波数偏移復調回路。

【請求項9】 前記回転回路は、前記m個の部分回転回路を縦列接続した回路であって、

前記部分回転回路の各々に前記制御信号を入力し、

前記部分回転回路の各々は、前記IQ平面上の信号ベクトル(I, Q)を所定角度づつ回転させることを特徴とする請求項8記載の周波数偏移復調回路。

【請求項10】 前記A/D変換器の出力である前記信号ベクトル(I, Q)を入力する第1の前記部分回転回路は、前記Qを入力する第1乗算器と、前記Iを入力する第2乗算器と、第1の前記制御信号 D_1 を入力する符号反転器などを備え、

前記信号ベクトル (I, Q) を、 I_1 を $D_1 \times Q$ 、 Q_1 をマイナス $D_1 \times I$ として信号ベクトル (I_1 , Q_1) に変換して出力することを特徴とする請求項 9 記載の周波数偏移復調回路。

【請求項 11】 s を 2 以上で前記 m 以下の自然数として、信号ベクトル ($I_{(s-1)}, Q_{(s-1)}$) を入力する第 s の前記部分回路は、前記 $I_{(s-1)}$ を入力する第 1 加算器及び第 1 定数乗算器と、前記 $Q_{(s-1)}$ を入力する第 2 加算器及び第 2 定数乗算器と、第 s の前記制御信号 D_s を入力する第 3 及び第 4 乗算器とを備え、

前記第 1 定数乗算器の出力を前記第 3 乗算器に入力し、前記第 3 乗算器の出力を反転して前記第 2 加算器に入力し、

前記第 2 定数乗算器の出力を前記第 4 乗算器に入力し、前記第 4 乗算器の出力を前記第 1 加算器に入力し、

前記信号ベクトル ($I_{(s-1)}, Q_{(s-1)}$) を、 I_s を $(I_{(s-1)} + 2^{-s} \times D_s \times Q_{(s-1)})$ とするとともに Q_s を $(-2^{-s} \times D_s \times I_{(s-1)} + Q_{(s-1)})$ (マイナス $D_1 \times I$) として、信号ベクトル (I_s, Q_s) に変換して出力することを特徴とする請求項 10 記載の周波数偏移復調回路。

【請求項 12】 前記回路は、前記 m 個の部分回路を縦列接続し、前記部分回路の各々に符号反転回路をそれぞれ接続した回路であって、

前記符号反転回路の各々に前記制御信号を入力し、

前記部分回路の各々は、前記 IQ 平面上の信号ベクトル (I, Q) を所定角度づつ回転させることを特徴とする請求項 8 記載の周波数偏移復調回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、周波数偏移復調回路に関し、特に、2 以上の周波数帯域を持つ搬送波の同相 (I) 成分と直交 (Q) 成分とを入力して、前記 I 成分及び Q 成分で定まる IQ 平面上の信号点を前記 IQ 平面の原点を中心に回転させ、各周波数帯域中の各々の信号ベクトルを中心帯域に復調する周波数偏移復調回路に関する。

【0002】

【従来の技術】

従来、O F D M (直交周波数分割多重)、Q P S K (4相位相偏移変調)等のQ A M (直交振幅変調)等のマルチキャリア方式の通信システムの受信機においては、変調されたキャリアは受信機で分離され、原信号が復調される。例えば、特開平10-079718号公報（「多重搬送波信号の周波数補正の方法及び装置」）にはO F D M受信機が開示されている。

【0003】

図11に示すように、この公報に記載されたO F D M受信機においては、ベースバンド信号は、A D変換機を介して複素乗算器により変調された後、F F Tに供給される。搬送波干渉を防止するため、自動周波数制御ユニットと同窓誤差評価ユニットとディジタル制御発振器とで構成されたフィードバックループは、ベースバンド信号の周波数位置を標本化レートと対応する値に補正する。F F T処理自体は、O F D M伝送フレームのヌルシンボルからヌルシンボル取得器によって得られた特別のインパルスにより起動される。チャンネル評価ユニットにおいては、既知の基準シンボルの組が、受信された基準シンボルと比較される。そして、評価された組は、チャンネル補正ユニットに供給される。チャンネル補正ユニットは、各搬送波の振幅及び位相を補正する信号路内の4台の乗算器により構成される。そして、補正結果は、最終的にデインターリーブユニット、ソフトシンボルデマッパー、及びビタビ復号化器に連続的に供給される。

【0004】

【発明が解決しようとする課題】

しかし、従来の技術では、上述の回路の複雑化や回路規模の増大化、消費電力の増大化、等を回避する有効な手段がなく、小回路規模で省電力のマルチキャリア方式の受信機は実現していない。

【0005】

又、移動通信方式であるc d m a O n eとの上位互換性を実現するためのI M T2000規格（I T U - R T G 8/1によるI n t e r n a t i o n a l M o b i l e T e l e c o m m u n i c a t i o n s 2 0 0 0）では、W (W i d e b a n d) - C D M A等も検討されており、高周波帯域でのマルチキャリ

ア受信機が必要となっている。ここに、キャリア毎に専門の受信機を設けて個別に受信を行うものとすると、回路規模や消費電力が増大する。一方、マルチキャリアをまとめて单一の受信機で受信し、ディジタルベースバンド処理部で分離する方式は、明らかに小型で高性能の携帯電話機に適しているが、如何にしてマルチキャリア同士の周波数偏移（シフト）を打ち消し、ベースバンドに復調させるかが問題である。

【0006】

そこで、本発明は、マルチキャリアのCDMA通信において、小型の携帯端末に適した周波数偏移復調回路を提供することを課題としている。

【0007】

【課題を解決するための手段】

上記の課題を解決するための本発明は、搬送波の同相（I）成分と直交（Q）成分とを入力するアナログ／ディジタル（A／D）変換器と、I成分及びQ成分で定まるIQ平面上の信号ベクトルを前記IQ平面の原点を中心に回転させる回転回路と、1サンプル当たりの周波数偏移に360度を乗じた値を単位角度として前記単位角度の整数倍の角度を位相として生成する位相生成回路と、位相生成回路の出力を制御信号に変換する変換回路とを有する周波数偏移復調回路であつて、回転回路は変換回路の出力に基づいて搬送波の帯域を偏移させる。ここで、更に、搬送波は、中心帯域、上側帯域及び下側帯域の3つの周波数帯域を持っていてもよく、この場合には、回転手段は、上側帯域を中心帯域に偏移させる負シフト回路と、下側帯域を中心帯域に偏移させる正シフト回路とから成る。

【0008】

【発明の実施の形態】

以下、図面を参照して、本発明の実施の形態について説明する。

【0009】

図1は、本発明の周波数偏移復調回路のブロック図である。本発明の周波数偏移復調回路の入力は、直交変調された同相（I）成分と直交（Q）成分であり、各成分は中心キャリア、と2つのサブキャリアIで搬送されてくる。ここに、サブキャリアの周波数は、中心キャリアに対して定周波数側及び低周波数側に同じ

量だけシフトしているものとする。図1に示すように、本発明の周波数偏移復調回路は、搬送波の周波数を低い方にシフトさせる負シフト回路102と、搬送波の周波数をシフトさせない非シフト回路103と、搬送波の周波数を高い方にシフトさせる正シフト回路104とを含んでいる。

【0010】

具体的には、本発明の周波数偏移復調回路においては、受信した搬送波のI成分及びQ成分をアナログディジタル変換器(A/D)101でデジタル量に変換し、A/D101の出力及び変換回路109の出力Dとをそれぞれ、負シフト回路102、非シフト回路103、及び正シフト回路104に入力する。そして、負シフト回路102、非シフト回路103、及び正シフト回路104のそれぞれの出力を有限インパルス応答(FIR)フィルタ105、106、107を介して出力している。

【0011】

図2は、たとえばCDMA通信の下り回線で使用することができるマルチキャリアの一例を示している。この例では、サブキャリアの周波数オフセットは、たとえば1.25MHzであり、チップレートは、たとえば1.2288Mcpsである。又、このようなCDMA通信では、データレートは、たとえば14.4Kbpsとすることができます。この例では、キャリア数は3であるので、データレートは最大で43.2Kbpsとなる。

【0012】

本発明の周波数シフト回路は、このようなマルチキャリア信号を受信すると、それをAD変換器101でデジタル量に変換し、下側帯域であるチャンネル-1の信号I₋₁及びQ₋₁をFIRフィルタ107から出力し、中心帯域であるチャンネル0の信号I₀及びQ₀をFIRフィルタ106から出力し、上側帯域であるチャンネル+1の信号I₊₁及びQ₊₁をFIRフィルタ105から出力する。

【0013】

図3は、位相生成回路108のブロック図である。この位相生成回路について、上述した具体例に即して説明する。この位相生成回路108は、たとえば、CDMA方式のマルチキャリアの高周波信号を復調する復調回路の周波数シフト回

路に使用することもできるが、これに限定されるものではない。

【0014】

一例として、各キャリアのチップレートは、1.2288Mchipsとする。また、サンプルレート (sample rate) は、1チップを8倍のオーバーサンプルでサンプリングしているものとする。又、キャリア同士の周波数シフト量は、1.25MHzとする。すると、1サンプル当たりの周波数シフト δ は、 $1.25\text{MHz} / (1.2288\text{Mchips/sec} \times 8\text{samples/chip})$ であり、約 $0.127/\text{sample}$ である。この δ に360度をかけた値 Δ は約45.7度である。更に、この Δ を単位角度として、-180度から+180度の360度に亘る位相を、たとえば、13ビットの2進数で表すこととする。すなわち、360度を 2^{13} (=8192)等分し、-180度から0度の間に 2^{12} (=4096)個、0度から+180度の間に 2^{12} (=4096)個の角度表示点を等間隔に設ける。「 2^{13} 」を用いて、 $(\Delta/360)$ を近似的に表現すると、 $(1041+2/3)/2^{13}$ となる。ここに、(十進数「1041」)を13ビットの2進数Zに変換すると、「0010000010001」である。

【0015】

図3に示すように、このような設定の下では、位相生成回路108は、カウンタ回路202と、13ビットの加算回路203と、13ビットレジスタ204を有している。

【0016】

そして、加算回路203は、13ビットレジスタ204の出力をA入力とし、上述した2進数Zすなわち十進数「1041」をB入力として、A入力とB入力を加算する。これで、「A+1041」が計算される。そして、更に、分数 $2/3$ を加算して、「A+(1041+2/3)」を計算するために、カウンタ202の出力のキャリー信号Wを加算回路203のキャリー端子Cに入力している。

【0017】

結局、加算結果「A+(1041+2/3)」は、13ビットレジスタ204

から位相 Φ として出力される。13ビットレジスタ204は、クロック回路201のタイミング、例えば立ち上がりエッジで、加算回路203の出力を保持する。このように、位相生成回路108は、クロックに同期して、単位角 Δ の自然数倍の位相 Φ を2進数で出力する回路である。

【0018】

図4は、カウンタ回路202の回路図である。図4に示すように、カウンタ回路202は位相生成のタイミングを示すタイミング信号のクロックをクロック回路201から入力し、このクロックを3分周する。ここで、このクロックは、サンプルレートに一致させる。

【0019】

カウンタ回路202の出力Wは、3クロック期間の内、2クロック期間で“1”となり、1クロック期間で“0”となる。カウンタ回路202は、2個のD-フリップフロップ301、302とNORゲート303を有している。このカウンタ回路202の出力のキャリー信号Wを加算回路203のキャリー入力端子Cに入力すると、3クロック毎に2が加算されることになる。これによって、加算回路203の出力には1クロック当たり2/3が加算される。

【0020】

図5は、変換回路109のブロック図である。この変換回路109は、位相 Φ を入力して13個の部分位相($\Phi_{-1}, \Phi_0, \Phi_1, \dots, \Phi_{10}, \Phi_{11}$)を生成し、これらの部分位相に基づいて、13個の制御信号D($D_{-1}, D_0, D_1, \dots, D_{10}, D_{11}$)を生成する。

【0021】

以下、位相 Φ から制御信号Dを生成するアルゴリズムについて説明する。但し、このアルゴリズムを実行する演算手段は公知のものを用いることができるので、図示しない。

【0022】

まず、位相 Φ を Φ_{-1} に等置する。そして、 Φ_{-1} の値が正である場合は、制御信号Dの最上位ビットである D_{-1} を論理値「1」とするとともに、 $\Phi_0 = \Phi_{-1} - 90$ とする。一方、 Φ_{-1} の値が負である場合は、 D_{-1} を論理値「0」とするととも

に、 $\Phi_0 = \Phi_{-1} + 90$ とする。

【0023】

次に、先に得られた数値 Φ_0 が正か負かをみる。正であれば D_0 の論理値を1にするとともに、 $\Phi_1 = \Phi_0 - \theta_0$ とする。負であれば D_0 の論理値を0にするとともに、 $\Phi_1 = \Phi_0 + \theta_0$ とする。ここで、 $\theta_0 = \arctan(2^0)$ とする。

【0024】

一般的には、 $\theta_k = \arctan(2^{-k})$ である。

【0025】

続いて、上記の Φ_1 が正か負かをみる。正であれば D_1 の論理値を「1」にするとともに、 $\Phi_2 = \Phi_1 - \theta_1$ とする。負であれば D_1 の論理値を「0」にするとともに、 $\Phi_2 = \Phi_1 + \theta_1$ とする。

【0026】

ここで、 Φ_k に加減する θ_k は、 Φ_k の正負に従い、データセレクタ401～404が供給する。 Φ_k が正であれば $-\theta_k$ を、 Φ_k が負であれば $+\theta_k$ を供給する。

【0027】

一般的には、 D_k の論理値が「0」である場合には、 $\Phi_{k+1} = \Phi_k + \theta_k$ である。又、 D_k の論理値が「1」である場合には、 $\Phi_{k+1} = \Phi_k - \theta_k$ である。

【0028】

このようにして、 Φ_k を生成すれば、 Φ_k の数値を順次にできる限り0に近付けることができて、IQ平面での信号ベクトルを回転させる回転角度 Θ の近似の精度が向上するからである。

【0029】

又、一般に、このkの値が大になると、 $\arctan(2^{-k})$ は近似的に $2 \arctan(2^{-k-1})$ であるから、この方法は一層効果的である。

【0030】

図6は、正シフト回路104のブロック図である。この正シフト回路は、13個の制御信号D($D_{-1}, D_0, D_1, \dots, D_{10}, D_{11}$)に基づいて、IQ平面上の信号ベクトルを角度 Θ だけ回転させる回路であり、13個の部分回路(

$R_{-1}, R_0, R_1, R_{10}, R_{11}$ を継続接続した回路である。制御信号 $D_{-1}, D_0, D_1, \dots, D_{10}, D_{11}$ は、それぞれ、部分回転回路 $R_{-1}, R_0, R_1, R_{10}, R_{11}$ に入力される。

【0031】

図7は、部分回転回路 R_{-1} のブロック図である。この部分回転回路 R_{-1} は、 $A \neq D_{101}$ の出力 I, Q を入力して、 $Q_{in, -1}$ と $I_{out, -1}$ を出力する回路であり、 2つの乗算器 801, 802 と、符号反転器 803 とからなる。信号 Q は、乗算器 801 に入力される。又、信号 I は、乗算器 802 に入力される。又、制御信号 D_{-1} は符号反転器 803 及び乗算器 801 とに入力される。又、符号反転器 803 の出力は乗算器 802 に入力される。

【0032】

すなわち、この部分回転回路 R_{-1} の入出力の関係は数式(1)で表わされる。

【0033】

【数1】

$$I_{out, -1} = D_{-1} \cdot Q$$

$$Q_{out, -1} = -D_{-1} \cdot I$$

ただし、この数式(1)において D_{-1} には数値表現を用いる。すなわち、論理値「1」を数値「1」とし、論理値「0」を数値「-1」とする。

【0034】

部分回転回路 R_{-1} は、信号ベクトル (I, Q) を角度 θ_{-1} だけ回転させる回路であり、数式(1)によれば、制御信号 D_{-1} の数値が「-1」の場合には、 θ_{-1} はプラス90度であり、制御信号 D_{-1} の数値が「1」の場合には、 θ_{-1} はマイナス90度である。このように、部分回転回路 R_{-1} は、信号ベクトルの絶対値をそのままにして、回転を施す回路である。

【0035】

図8は、部分回転回路 $R_0 \sim R_{11}$ のブロック図である。これらの部分回転回路は、 $Q_{in,k}$ と $I_{in,k}$ とを入力して、 $Q_{out,k}$ と $I_{out,k}$ とを出力する回路であり、2つの定数乗算器701, 704と、2つの乗算器702, 705と、2つの加算器703, 706とからなる。信号 $I_{in,k}$ は、乗算器703に入力されるとともに、定数乗算器701と乗算器702を経た後、乗算器702の出力の符号が反転されて、加算器706に入力される。又、信号 $Q_{in,k}$ は、乗算器706に入力されるとともに、定数乗算器704と乗算器705を経た後、加算器703に入力される。又、制御信号 D_k は乗算器702及び705に入力される。

【0036】

すなわち、これらの部分回転回路 $R_0 \sim R_{11}$ の入出力の関係は数式(2)であらわされる。

【0037】

【数2】

$$I_{out,k} = I_{in,k} + 2^{-k} \cdot D_k \cdot Q_{in,k}$$

$$Q_{out,k} = -2^{-k} \cdot D_k \cdot I_{in,k} + Q_{in,k}$$

ただし、ここでも、この数式(2)において D_{-1} には数値表現を用いる。すなわち、論理値「1」を数値「1」とし、論理値「0」を数値「-1」とする。

【0038】

部分回転回路 R_k ($R_0 \sim R_{11}$) は、信号ベクトル ($Q_{in,k}$, $I_{in,k}$) を角度 θ_k だけ回転させる回路であり、数式(2)によれば、制御信号 D_k の数値が「-1」の場合には、 θ_k はプラス $\arctan(2^{-k})$ 度であり、制御信号 D_k の数値が「1」の場合には、 θ_k はマイナス $\arctan(2^{-k})$ 度である。このように、部分回転回路 $R_0 \sim R_{11}$ は、入力信号ベクトル ($Q_{in,k}$, $I_{in,k}$) を角度 θ_k だけ回転させるが、その回転に伴って、入力信号ベクトルの絶対値 Z_{kin} は、 $\cos \theta_k$ の逆数倍となる。すなわち、出力信号ベクトルの絶対値 Z_{kou}

t は $(Z_{in} / \cos \theta_k)$ となる。

【0039】

以上、部分回転回路の各々について説明したが、正シフト回路104は、13個の部分回転回路 ($R_{-1}, R_0, R_1, \dots, R_{10}, R_{11}$) を継続接続した回路であるから、絶対値 Z_{in} の信号ベクトル (I, Q) が正シフト回路104に入力されれば、角度 Θ だけ回転され、その絶対値が Z_{out} となって、正シフト回路104から出力される。ここに、角度 Θ は数式(3)で表わされ、 Z_{out} は数式(4)で表わされる。

【0040】

【数3】

$$\Theta = D_{-1} \cdot 90^\circ + \sum_{k=0}^{11} D_k \cdot \arctan(2^{-k})$$

【0041】

【数4】

$$Z_{out} = \frac{Z_{in}}{\prod_{k=0}^{11} \cos \theta_k}$$

図9は、 $k, 2^{-k}, \theta_k, \cos \theta_k$ 及び 45×2^{-k} の間の対応表である。この対応表によれば、数式(4)の右辺の分母に現れる定数は、0.6072529591である。

【0042】

以上、正シフト回路104について説明した。次に、負シフト回路102につ

いて説明する。

【0043】

図10は、負シフト回路102のブロック図である。この負シフト回路は、13個の制御信号D (D_{-1} 、 D_0 、 D_1 、 …、 D_{10} 、 D_{11})に基づいて、IQ平面上の信号ベクトルを角度マイナス Θ だけ回転させる回路であり、正シフト回路に用いるのと同じ部分回転回路 R_{-1} 、 R_0 、 R_1 、 …、 R_{10} 、 R_{11} を継続接続している。そして、更に、制御信号 D_{-1} 、 D_0 、 D_1 、 …、 D_{10} 、 D_{11} の数値の正負の符号をそれぞれ反転させるための符号反転器 INV_{-1} 、 INV_0 、 INV_1 、 …、 INV_{10} 、 INV_{11} をそれぞれ部分回転回路 R_{-1} 、 R_0 、 R_1 、 …、 R_{10} 、 R_{11} に接続している。

【0044】

従って、同一の制御信号に基づいて、正シフト回路104は、信号ベクトル(I, Q)をプラス Θ だけ回転させるのに対して、負シフト回路102は、信号ベクトル(I, Q)をマイナス Θ だけ回転させるのである。

【0045】

【発明の効果】

以上説明した本発明によれば、マルチキャリア通信、特に、マルチキャリアのCDMA通信において、小型の携帯端末に適した簡単で低消費電力の周波数偏移復調回路が得られる。本発明の周波数偏移復調回路は、IQ平面状の信号ベクトルをデジタル演算で回転させるので、上側及び下側帯域の周波数を極めて高精度に中心帯域に復調することができる。

【図面の簡単な説明】

【図1】

本発明の周波数偏移復調回路のブロック図

【図2】

マルチキャリア信号のパワースペクトラムの一例の模式図

【図3】

位相生成回路のブロック図

【図4】

位相生成回路の一部であるカウンタ回路のブロック図

【図5】

変換回路のブロック図

【図6】

正シフト回路のブロック図

【図7】

正シフト回路の初段の部分回路のブロック図

【図8】

正シフト回路の第2段から最終段に共通の部分回路のブロック図

【図9】

部分回路の各段における部分回転角とその余弦 (cosine) との対応

表

【図10】

負シフト回路のブロック図

【図11】

従来の多重搬送波信号の周波数補正の方法及び装置

【符号の説明】

101 A/D変換器

102 負シフト回路

103 非シフト回路

104 正シフト回路

105、106、107 FIRフィルタ

108 位相生成回路

109 変換回路

201 クロック回路

202 カウンタ回路

203 加算回路

204 13ビットレジスタ

301、302 遅延フリップフロップ (D-FF)

303 排他的論理輪 (NOR) 回路

401、402、403、404 データセレクタ

409 信号線

410、411、412、413 加算器

501、502、503、504 部分回転回路

509 信号線

601、602、603、604 部分回転回路

605、606、607、608 インバータ

609 信号線

701、702、704、705、乗算器

703、706 加算器

801、802、803 乗算器

$D_{-1}, D_0, \dots, D_{11}$ 制御信号

$\theta_{-1}, \theta_0, \dots, \theta_{11}$ 部分回転角

Θ 信号ベクトル (I, Q) の総回転角度

Φ 位相

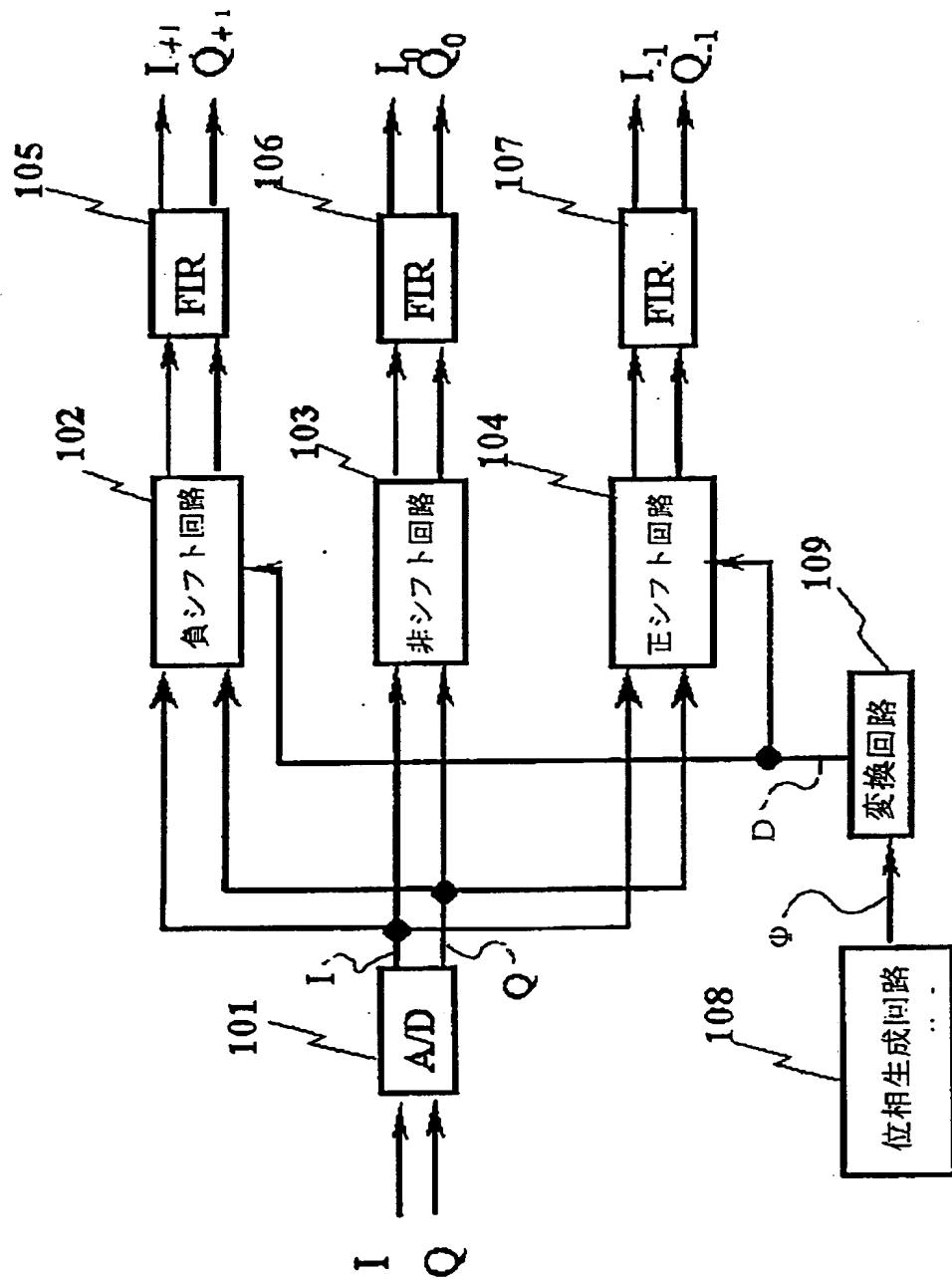
$R_{-1}, R_0, \dots, R_{11}$ 部分回転回路

$INV_{-1}, INV_0, \dots, INV_{11}$ 符号反転回路

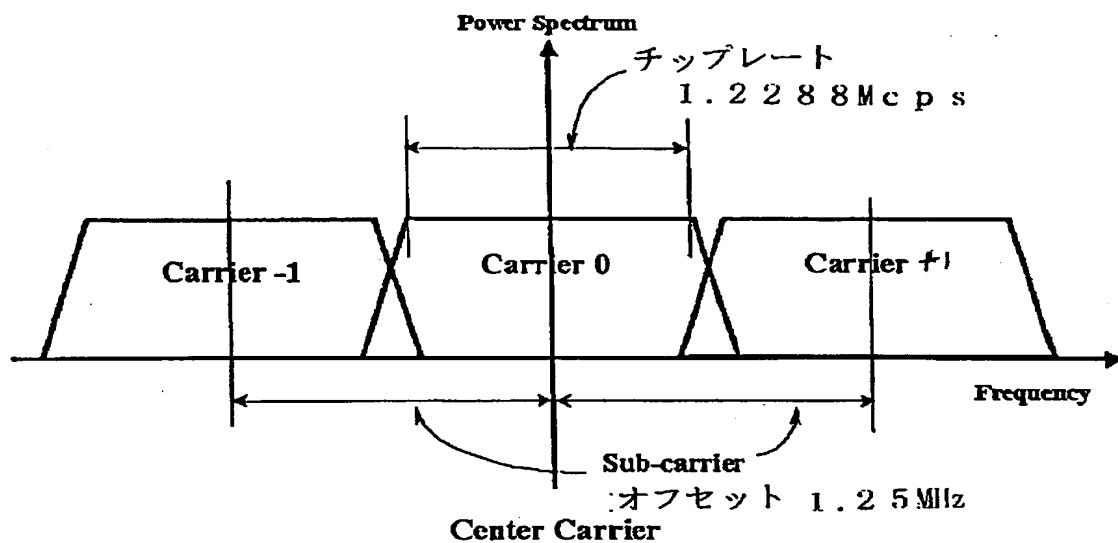
【書類名】

図面

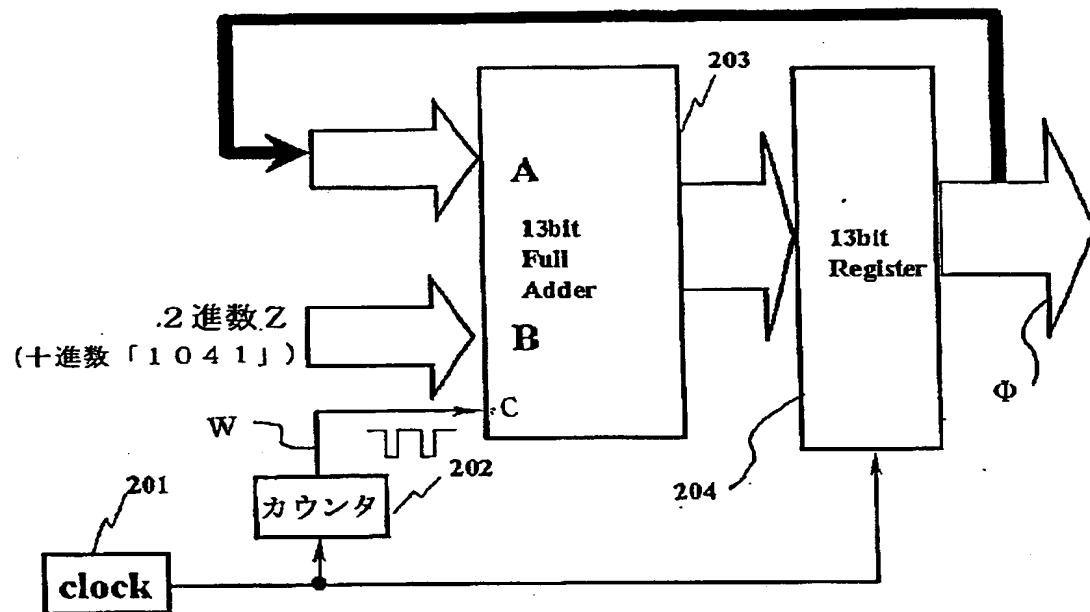
【図1】



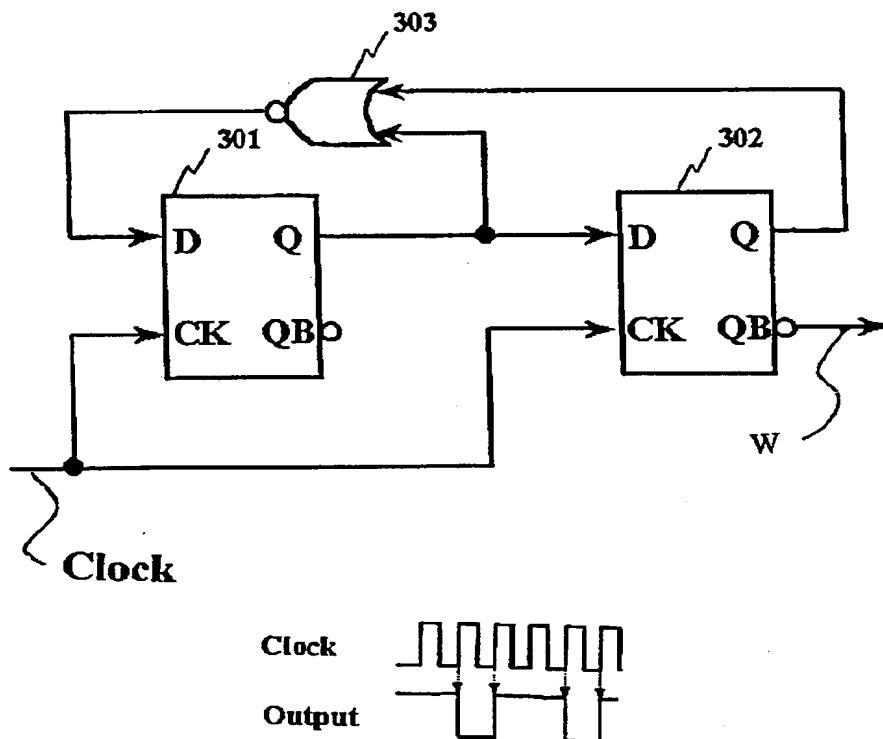
【図2】



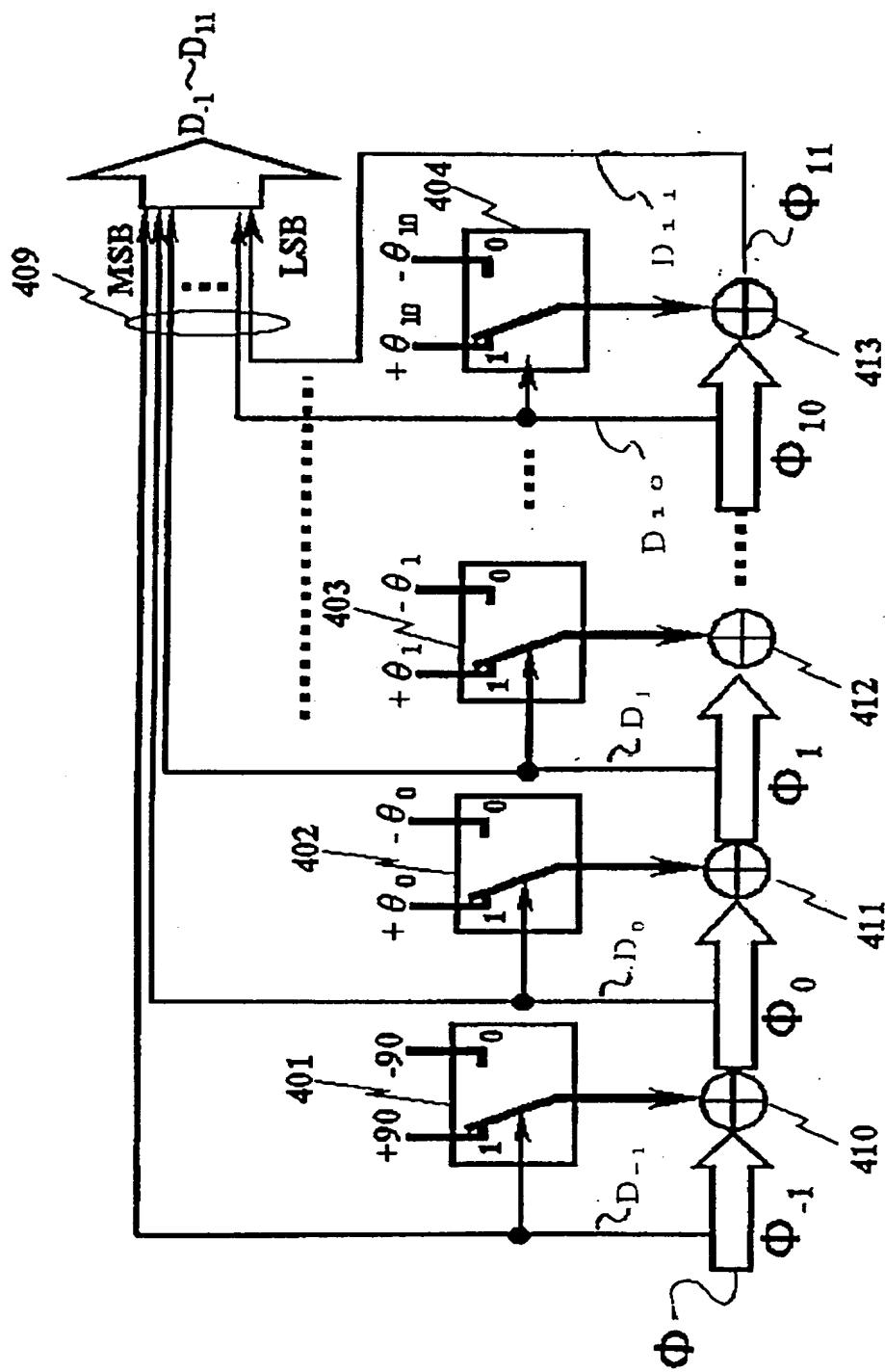
【図3】



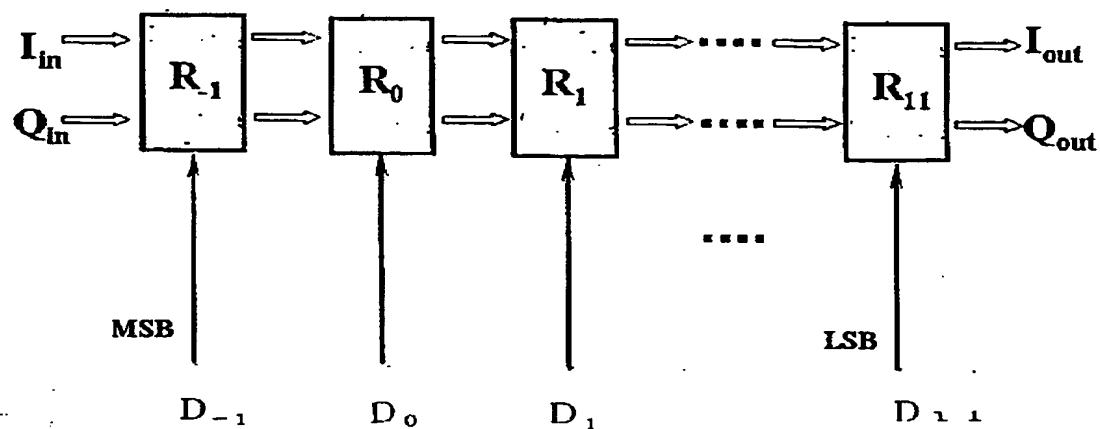
【図4】



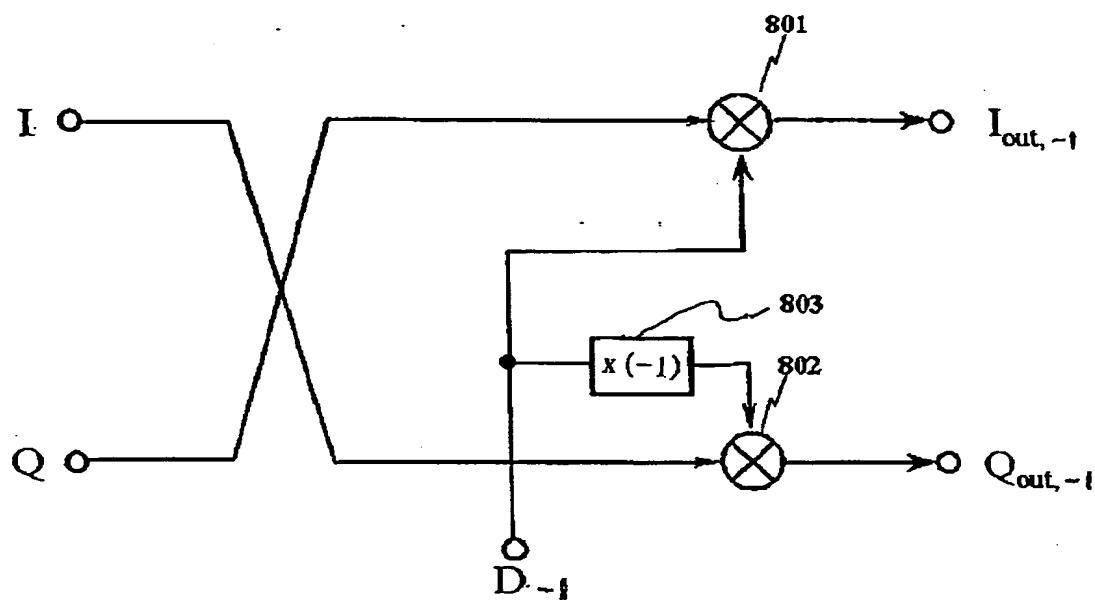
【図5】



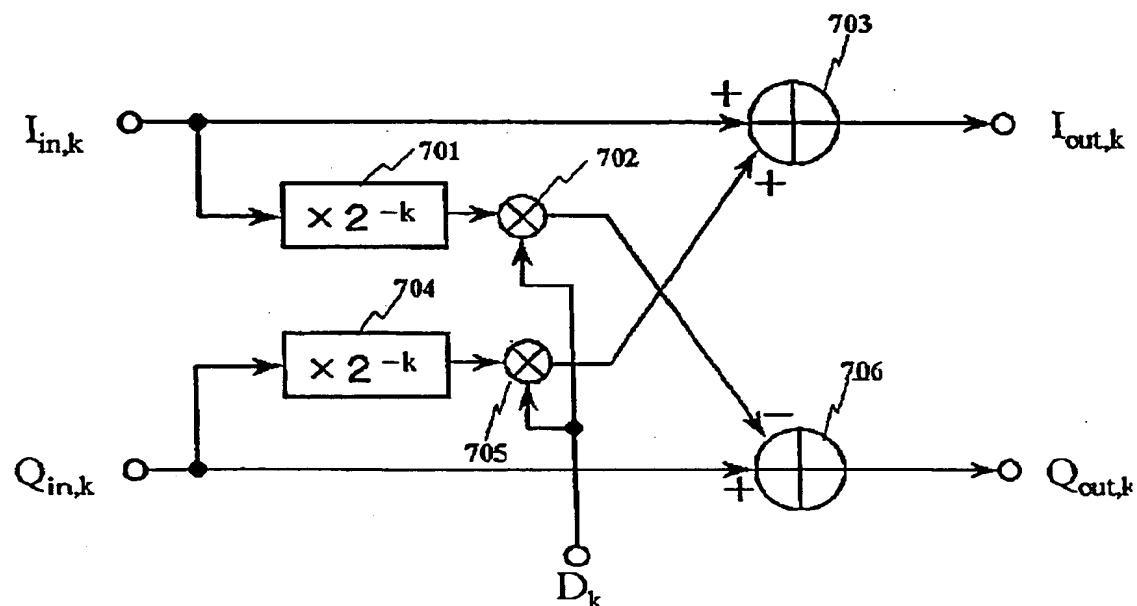
【図6】



【図7】



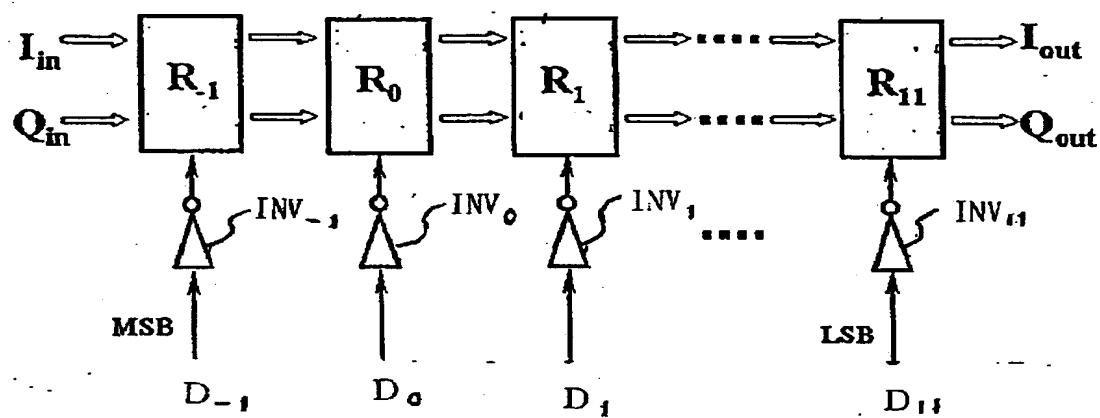
【図 8】



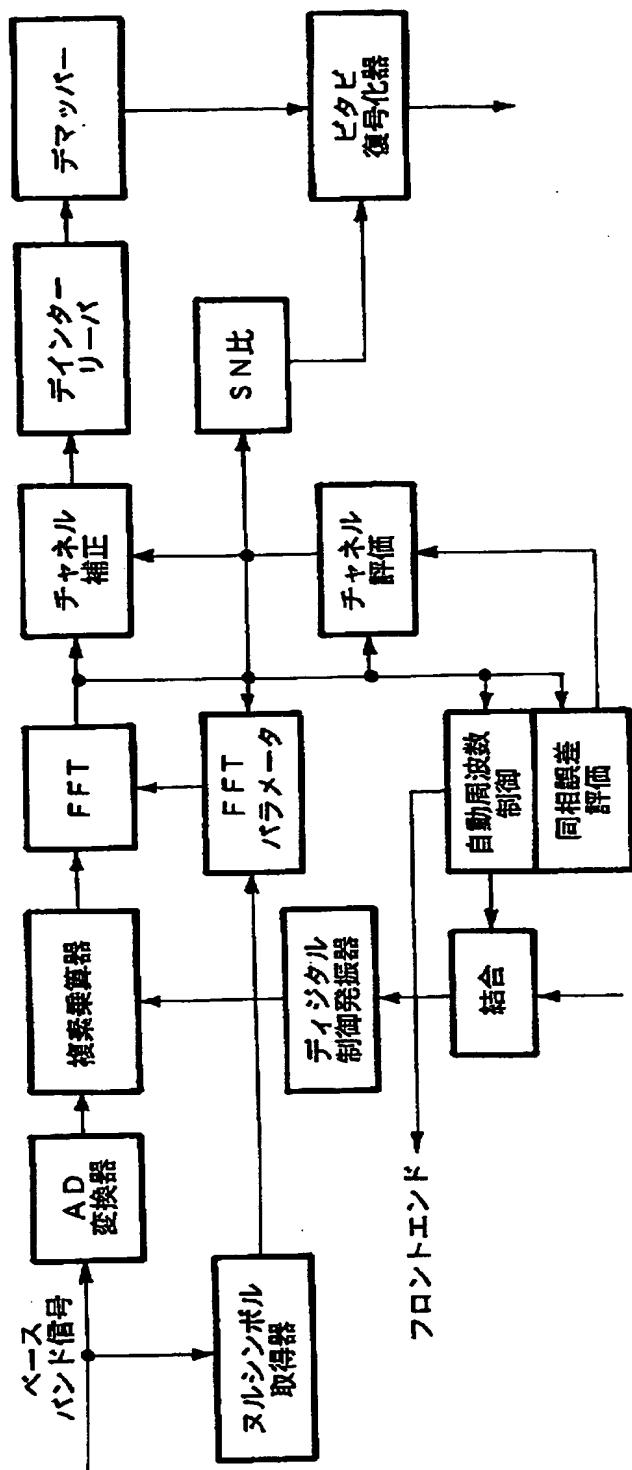
〔図9〕

k	2^{-k}	$\theta_k = \arctan(2^{-k})$	$\cos \theta_k$	45×2^{-k}
0	1.0000000000	45.0000000000	0.7071067812	4.5000000000
1	0.5000000000	26.5650511771	0.8944271910	22.5000000000
2	0.2500000000	14.0362434679	0.9701425001	11.2500000000
3	0.1250000000	7.1250163489	0.9922778767	5.6250000000
4	0.0625000000	3.5763343750	0.9980525785	2.8125000000
5	0.0312500000	1.7899106082	0.9995120761	1.4062500000
6	0.0156250000	0.8951737102	0.9998779520	0.7031250000
7	0.0078125000	0.4476141709	0.9999694838	0.3515625000
8	0.0039062500	0.2238105004	0.9999923707	0.1757812500
9	0.0019531250	0.1119056771	0.9999980927	0.0878906250
10	0.0009765625	0.0559528919	0.9999995232	0.0439453125
11	0.0004882813	0.0279764526	0.9999998808	0.0219726563
12	0.0002441406	0.0139882271	0.9999999702	0.0109863281
13	0.0001220703	0.0069941137	0.9999999925	0.0054931641
14	0.0000610352	0.0034970569	0.9999999981	0.0027465820
15	0.0000305176	0.0017485284	0.9999999995	0.0013732910

【図10】



【図11】



【書類名】 要約書

【要約】

【課題】 簡易なデジタル演算回路を用いて、2以上の周波数帯域内のIQ平面内の信号点を中心帯域に復調する。

【解決手段】 位相 Φ をたとえば13ビットの2進数として、デジタル演算を行う。正シフト回路104は、13個の部分回転回路 $R_{-1}, R_0, R_1, R_{10}, R_{11}$ の縦続接続からなり、13個の制御信号 D_k に基づいて所定のアルゴリズムによって部分回転角が計算される。この部分回転角から総回転角 Θ を生成する。そして、信号ベクトルをIQ平面内で Θ 回転させることによって、上側及び下側帯域を中心帯域に復調する。

【選択図】 図5

出願人履歴情報

識別番号 [000004237]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住 所 東京都港区芝五丁目7番1号

氏 名 日本電気株式会社